

PATENT
8017-1129

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Hitoshi YOSHIKUNI
Conf.:
Appl. No.: NEW NON-PROVISIONAL
Group:
Filed: February 13, 2004
Examiner:
Title: SEMICONDUCTOR DEVICE CAPABLE OF
ADJUSTING INPUT RESISTANCE WITHOUT
CHANGING INPUT TERMINAL CAPACITANCE

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

February 13, 2004

Sir:


Applicant(s) herewith claim(s) the benefit of the
priority filing date of the following application(s) for the
above-entitled U.S. application under the provisions of 35
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-038088	February 17, 2003

Certified copy(ies) of the above-noted application(s)
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON


Eric Jensen, Reg. No. 37,855

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

EJ/yr

Attachment(s): 1 Certified Copy(ies)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月17日
Date of Application:

出願番号 特願2003-038088
Application Number:
[ST. 10/C]: [JP 2003-038088]

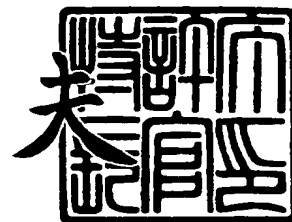
出願人 エルピーダメモリ株式会社
Applicant(s):



2004年 1月29日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 22310283

【提出日】 平成15年 2月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/108

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社
社内

【氏名】 吉國 仁志

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円



【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0111098

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 複数の入力端子を備えた半導体装置であって、
前記各入力端子となるボンディングパッドの外周に、該ボンディングパッドと同電位で形成され、一定の間隔で凹凸が設けられたくし形配線と、
前記くし形配線に対抗して設けられ、該くし形配線の凹部とそれぞれかみあうように凸部が形成された容量用配線と、
前記容量用配線の下層に設けられ、複数のコンタクトを介して該容量用配線に接続されるとともに、端部がグランド電位に接続された抵抗配線とを有する半導体装置。

【請求項 2】 複数の入力端子を備えた半導体装置であって、
前記各入力端子となるボンディングパッドの外周に、該ボンディングパッドと同電位で形成され、一定の間隔で凹凸が設けられたくし形配線と、
前記くし形配線に対抗して設けられ、該くし形配線の凹部とそれぞれかみあうように凸部が形成された容量用配線と、
前記容量用配線が設けられた位置の外側の下層に設けられ、複数のコンタクトを介して前記ボンディングパッドが設けられた層に接続されるとともに端部がグランド電位に接続された抵抗配線と、
前記ボンディングパッドが形成された層において、前記複数のコンタクトと前記容量用配線との間を、それぞれ接続するための接続配線とを有する半導体装置。

【請求項 3】 前記ボンディングパッドが四角形であり、前記くし形配線および前記容量用配線が該ボンディングパッドの 3 辺を覆うようにして設けられている請求項 1 または 2 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高速な動作が要求される D R A M (Dynamic Random Access Memory

）等の半導体装置に関し、特に各端子間の伝搬速度のバラツキを調整する機能を備えた半導体装置に関する。

【0002】

【従来の技術】

D R A M等の半導体装置では、データ線、制御信号、クロック信号等の入力信号を介して外部のコントローラとの間でデータのやりとりを行っている。そのため、このような半導体装置では、各端子間または各素子間における各入力信号の伝搬速度の差であるスキューが大きくなると動作上不都合が生じる場合がある。特に、近年D R A M等の半導体装置の動作が高速化するにしたがって、伝搬速度のバラツキをできるだけ小さくするため、入力端子とグランド電位との間の容量である入力端子容量のバラツキ範囲が厳格に規格化されるようになってきている。このため、入力端子容量を調整するための回路を備えた半導体装置が提案されている（例えば、特許文献1参照。）。

【0003】

このような従来の半導体装置の構成を図4に示す。この従来の半導体装置では、入力端子（ボンディングパッド）10に接続された静電破壊防止用の入力保護抵抗40を介して内部回路30へ配線される途中で、入力端子容量調整用素子部20を接続切り替え用アルミ配線を介して配置している。入力端子容量調整用素子部20は、M O S（Metal Oxide Semiconductor）トランジスタからなる複数のM O S型容量素子21により構成されている。この従来の半導体装置では、アルミ配線のパターンを変更することにより予め用意されていたM O S型容量素子21の接続を切り替えることにより入力端子容量の調整が行われていた。

【0004】

しかし、M O Sトランジスタを用いたM O S型容量素子21は、対グランド電位との間の抵抗であるジャンクション抵抗（ R_j ）が大きいため、容量を追加した際の抵抗成分が大きくなり、入力抵抗（ R_i ）の増加を招いてしまう。

【0005】

図4に示した従来の半導体装置において、入力端子容量の調整を行った後の等価回路を図5に示す。

【0006】

ボンディングパッド10とグランド電位と間の容量としては、ボンディングパッド10におけるPAD容量、ボンディングパッド10から保護抵抗40までの間の配線における配線容量、出力トランジスタにおける拡散容量、保護抵抗40より後の内部配線における配線容量、その他の容量等様々な容量が存在する。そして、この容量とグランド電位との間には、それぞれジャンクション抵抗(R_j)が存在する。

【0007】

この入力端子10における入力端子容量(C_i)は、入力端子10に接続されている全ての容量(C_j)を加算したものである。しかし、伝搬速度は、入力端子容量だけによって影響を受けるのではなく、各容量とグランド電位との間のジャンクション抵抗(R_j)の大きさによっても影響を受ける。そのため、近年の規格では入力端子容量(C_i)だけでなく入力抵抗(R_i)についても規格が設けられているものもある。この入力抵抗(R_i)とは、ジャンクション抵抗 R_j を接続されている容量(C_j)の容量値の大きさに基づいて重み付けして加算することにより算出される値である。

【0008】

上記で説明したような入力端子容量(C_i)および入力抵抗(R_i)の値は、半導体装置の動作が高速化すればより厳しい規格内に収まるようにしなければならない。

【0009】

例えば、ラムバス(登録商標)DRAM(以下RDRAMと称する。)では、各端子間における入力端子容量(C_i)のばらつきは60fF(フェムトファラッド)以下、入力抵抗(R_i)は4~10 Ω の範囲に設定することが定められている。

【0010】

RDRAMとは、米国ラムバス(Rambus)社により開発されたデータ転送方式であるラムバス・インタフェースに準拠したDRAMであり、高速データ伝送を実現したDRAMである。

【0011】

このRDRAMを用いたシステムの代表的な構成を図6に示す。このシステムでは、ラムバスインタフェースを有するコントローラ（マスタ）50と複数のRDRAM（スレーブ）60₁～60_nとの間が、ラムバスチャネルと呼ばれるバス配線により接続された構成となっている。このラムバスチャネルは、伝送線のインピーダンスと等価な抵抗を介して終端電源に接続された高速小振幅信号等で構成されている。高速信号の中には2本のクロック信号があり、この2本のクロック信号は、マスタであるコントローラ50側に供給されるクロック信号であるCTM（Clock To Master）と、コントローラ50からスレーブであるRDRAM 60₁～60_n側に折り返されてきたクロック信号であるCFM（Clock From Master）とにより構成されている。

【0012】

このようなシステムでは、1チャネル当たり最高で32個のRDRAMが接続されるので、クロック信号はTCLKとRCLKで合計64個のピンに接続されることになる。つまり、最も端のRDRAMへ入力されるCFMは64個目のピンとなる。

【0013】

このような構成のシステムにおいては、入力抵抗（R_i）が大きいと、当初は0.8Vの振幅だったクロック波形が各ピンの入力抵抗（R_i）により減衰して、最端のRDRAMへ入力される際には振幅が小さくなってしまう。最端のRDRAMへ入力されるクロック信号において十分な振幅を確保するためには、各端子における入力抵抗（R_i）を小さくしなければならない。高周波数になれば振幅自体も小さくする必要があるので、入力抵抗（R_i）はさらに小さくする必要がある。

【0014】

このように信号の減衰のみから考えると入力抵抗は極力小さな値に抑えたほうが良いが、あまり小さくしすぎるとパッケージ側のインダクタンスによるオーバーシュートが大きくなるという副作用が発生する。

【0015】

そのため、入力抵抗の値はある一定の範囲内に抑える必要があり、現在のラムバスの仕様では、上述したように入力抵抗は $4 \sim 10 \Omega$ の範囲に設定することが定められている。

【0016】

上述した従来の半導体装置では、MOS型容量素子を用いて入力端子容量の調整を行っていたため入力端子容量の調整を行うことにより入力抵抗も変化してしまう。そのため、入力抵抗をできるだけ変化することなく入力端子容量の調整を行うことも目的として、くし形の配線パターンを用いることにより容量成分を構成することが提案されている（例えば、特許文献2、3参照。）

このようなくし型の配線を用いて容量成分を構成した半導体装置の構成を図7に示す。

【0017】

この半導体装置では、図7に示されるように、入力端子10の一部が、一定の間隔で凹凸が設けられたくし形配線により構成されている。そして、このくし形配線に対抗して、くし形配線の凹部とそれぞれかみ合うように凸部が設けられたGND（グランド）配線が設けられている。このGND配線はグランド電位に接続されているので、くし形配線とGND配線との静電結合により容量成分が構成される。そして、このGND配線の長さを調整することにより容量の大きさの調整が可能となる。

【0018】

このようなくし形電極を用いた半導体装置によれば、最上位の配線を変更するだけで入力端子容量の調整が可能であるため、変更に必要な製造工程を最小にすることができる。また、容量素子を配線のみで形成しているため、容量素子を調整したことにより増加する抵抗成分を小さくできるため、入力抵抗の増加分を抑えながら入力端子容量を調整することが可能である。また、パッド周りの禁止領域を有効利用することができるため、入力端子容量を調整するための回路の面積的な増加分を最小限に抑えることができる。

【0019】

しかし、このようなくし形の配線パターンを用いて入力端子容量を調整するよ

うにした従来の半導体装置では、入力端子容量 (C_i) の調整を行うことは可能であるが、入力抵抗 (R_i) の調整を行うことはできない。そのため、入力端子容量 (C_i) と入力抵抗 (R_i) の両方の規格を満たすことが困難であった。

【0020】

【特許文献1】

特開 2000-31386 号公報

【特許文献2】

特許第 3292175 号公報

【特許文献3】

特開昭 62-291213 号公報

【0021】

【発明が解決しようとする課題】

上述した従来の半導体装置では、入力端子容量と入力抵抗を独立して調整することができず、両方の値を規格内に収める調整が困難であるという問題点があった。

【0022】

本発明の目的は、入力端子容量と入力抵抗を独立して調整することを可能とし、入力端子容量を変化させることなく、入力抵抗の調整を行うことができる半導体装置を提供することである。

【0023】

【課題を解決するための手段】

上記目的を達成するために、本発明の半導体装置は、複数の入力端子を備えた半導体装置であって、

前記各入力端子となるボンディングパッドの外周に、該ボンディングパッドと同電位で形成され、一定の間隔で凹凸が設けられたくし形配線と、

前記くし形配線に対抗して設けられ、該くし形配線の凹部とそれぞれかみあうように凸部が形成された形成された容量用配線と、

前記容量用配線の下層に設けられ、複数のコンタクトを介して該容量用配線に接続されるとともに、端部がグランド電位に接続された抵抗配線とを有する。

【0024】

本発明によれば、容量用配線の長さを変更することにより、容量用配線とくし形配線により形成される容量を調整することができ、容量用配線と抵抗配線を接続するコンタクトの位置を変更することによって、容量用配線とグランド電位との間の抵抗値を調整することができる。そのため、コンタクトの接続を変更するだけで抵抗値を調整することができ、入力端子容量を変化させることなく入力抵抗のみを調整することが可能となる。

【0025】

また、本発明の他の半導体装置は、複数の入力端子を備えた半導体装置であって、

前記各入力端子となるボンディングパッドの外周に、該ボンディングパッドと同電位で形成され、一定の間隔で凹凸が設けられたくし形配線と、

前記くし形配線に対抗して設けられ、該くし形配線の凹部とそれぞれかみあうように凸部が形成された形成された容量用配線と、

前記容量用配線が設けられた位置の外側の下層に設けられ、複数のコンタクトを介して前記ボンディングパッドが設けられた層に接続されるとともに端部がグランド電位に接続された抵抗配線と、

前記ボンディングパッドが形成された層において、前記複数のコンタクトと前記容量用配線との間を、それぞれ接続するための接続配線とを有する。

【0026】

本発明によれば、容量用配線の長さを変更することにより、容量用配線とくし形配線により形成される容量を調整することができ、容量用配線と抵抗配線を接続する接続配線の接続位置を変更することによって、容量用配線とグランド電位との間の抵抗値を調整することができる。そのため、コンタクトの接続を変更するだけで抵抗値を調整することができ、入力端子容量を変化させることなく入力抵抗のみを調整することが可能となる。また、コンタクトパターンを変更することなく抵抗値の変更が可能であるため、配線パターンの変更のみで入力端子容量と入力抵抗の両方の値を調整することが可能となる。

【0027】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0028】

(第1の実施形態)

図1は本発明の第1の実施形態の半導体装置の構成を示す図である。図1(a)は、本実施形態の半導体装置における配線パターンを示す図であり、図1(b)は図1(a)における破線部分の断面図である。

【0029】

本実施形態の半導体装置では、ある入力端子(ボンディングパッド)10の入力端子容量(C_i)および入力抵抗(R_i)を、くし形配線14、容量用配線13、抵抗配線11により調整する。本実施形態の半導体装置は、図5に示した等価回路図において、抵抗成分の小さいボンディングパッド部(PAD部)の配線容量と、その抵抗成分を調整するものである。

【0030】

くし形配線14は、入力端子10の外周に、この入力端子10と同電位で形成されるとともに、一定の間隔で凹凸が設けられたくし形の形状となっている。容量用配線13は、くし形配線14に対抗して設けられていて、このくし形配線14の凹部とそれぞれかみあうように凸部が形成されている。抵抗配線11は、タングステン、ポリシリコン等の抵抗値の高い材質により形成された配線であり、容量用配線13の下層に設けられ、一定間隔の複数のコンタクト12を介してこの容量用配線13に接続されるとともに、端部がグランド電位に接続されている。

【0031】

本実施形態の半導体装置の構成をさらに詳細に説明する。本実施形態の半導体装置では、入力端子10と同電位のくし形配線14と入力端子10の電位と異なる電位の容量用配線13とが、入力端子10の外周に交互に均等に入力端子10と同層の配線により配置されている。容量用配線13の凸部は、くし形配線14を囲むようにして、それぞれ容量用配線13の凸部と同層の配線により接続されている。この容量用配線13の共通接続配線の下層には、図1(b)に示される

ように層間膜 15 を介して抵抗配線 11 が配置され、容量用配線 13 と抵抗配線 11 とは、複数のコンタクト 12 を介して接続することができるような構造となっている。また、抵抗配線 11 は固定電源であるグランド電位に接続されている。

【0032】

本実施形態の半導体装置では、容量用配線 13 の長さを変更することにより、容量用配線 13 とくし形配線 14 により形成される容量を調整することができる。また、容量用配線 13 と抵抗配線 11 を接続するコンタクト 12 の位置を変更することによって、容量用配線 13 とグランド電位との間の抵抗値を調整することができる。そして、コンタクト 12 の接続を変更するだけで抵抗値を調整することができるので、入力端子容量 (C_i) を変化させずに入力抵抗 (R_i) のみを調整することが可能となる。

【0033】

図 1 に示した第 1 の実施形態の半導体装置の各種配線により構成される回路の等価回路図を図 2 に示す。

【0034】

この図 2 中、コンデンサ 16 は、図 1 中のくし形配線 14 と容量用配線 13 により構成される容量成分を示したものである。この図 2 に示された回路図を参照するとわかるように、コンタクト 12 を設ける位置を変更することによりコンデンサ 16 とグランド電位との間の抵抗値を調整することができる。

【0035】

つまり、本実施形態の半導体装置によれば、コンタクト 12 の接続（コンタクトパターン）を変更するだけで入力抵抗 (R_i) の抵抗値を調整することができるので、パッド側の容量を変更することなく抵抗調整を行うことができる。

【0036】

（第 2 の実施形態）

図 3 は本発明の第 2 の実施形態の半導体装置の構成を示すブロック図である。図 3 (a) は、本実施形態の半導体装置における配線パターンを示す図であり、図 3 (b) は図 3 (a) における破線部分の断面図である。図 3 において、図 1

中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

【0037】

上記第1の実施形態では、コンタクトパターンを変更して抵抗値の調整を行っていたが、本実施形態では、アルミ配線の配線パターンを変更することにより抵抗値の調整を行うようにしたものである。

【0038】

容量調整のための容量用配線13、くし形配線14の構成は、図1に示した第1の実施形態と同様な構成のためその説明は省略する。本実施形態では、容量用配線13の真下ではなく、容量用配線13の外側の下層に、タングステン、ポリシリコン等の抵抗値の高い材質により形成された抵抗配線11が配置されている。この抵抗配線11は、第1の実施形態と同様に、端部がグランド電位に接続されている。そして、抵抗配線11は、一定間隔のコンタクト12を介して入力端子10、くし形配線14、容量用配線13等が設けられた層に接続されている。そして、この複数のコンタクト12は、接続配線17により容量用配線13にそれぞれ接続されている。

【0039】

本実施形態によれば、入力端子容量(C_i)の調整と同様に、アルミ配線の配線パターンを変更するだけで入力抵抗(R_i)の抵抗値の調整を行うことが可能となる。

【0040】

図3に示した第2の実施形態の半導体装置の各種配線により構成される回路の等価回路図は、図2に示した回路図とほぼ同様であり、複数のコンタクト12と容量用配線13との間が直接接続されずに接続配線17によりそれぞれ接続されている点のみが異なるだけである。よって、アルミ配線の配線パターンを変更して、接続配線17の接続位置を変更することにより、容量用配線13とグランド電位との間の抵抗値を調整することができる。

【0041】

上記で説明した第1の実施形態では、入力端子容量(C_i)と入力抵抗(R_i)

) の調整のためには、アルミ配線パターンとコンタクトパターンを変更する必要があったが、本実施形態では、アルミ配線パターンの変更のみに入力端子容量 (C_i) と入力抵抗 (R_i) の両方の値を調整することが可能となる。ただし、本実施形態では抵抗配線 11 を容量用配線 13 の外側に設ける必要があるため、上記で説明した第 1 の実施形態と比較すると、使用面積が増大してしまう。

【0042】

上記第 1 および第 2 の実施形態では、半導体装置として DRAM を用いた場合について説明したが、本発明はこれに限定されるものではなく、DRAM 以外の他の半導体装置であっても各端子間の入力抵抗および入力端子容量を調整する必要がある半導体装置であれば同様に本発明を適用することができるものである。

【0043】

さらに、上記第 1 および第 2 の実施形態では、入力端子 (ボンディングパッド) が四角形であり、くし形配線 14 および容量用配線 13 がこの入力端子 10 の 3 辺を覆うようにして設けられている場合を用いて説明したが、本発明はこのような構成に限定されるものではなく、1 辺のみ、隣接する 2 辺のみ、または対抗する 2 辺のみがくし形配線 14 および容量用配線 13 により覆われているような場合に対しても適用可能である。また、4 辺の全てがくし形配線 14 および容量用配線 13 により覆われている場合にも同様に本発明は適用可能である。

【0044】

【発明の効果】

以上説明したように、本発明によれば、コンタクトパターンまたはアルミ配線の接続パターンを変更することで入力抵抗を変更できるので、入力端子容量と入力抵抗を独立して調整することが可能となり、入力端子容量を変化させることなく入力抵抗の調整を行うことができるという効果を得ることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態の半導体装置における配線パターンを示す図 (図 1 (a)) および、図 1 (a) における破線部分の断面図 (図 1 (b)) である。

【図 2】

図 1 に示した第 1 の実施形態の半導体装置の各種配線により構成される回路の等価回路図である。

【図 3】

本発明の第 2 の実施形態の半導体装置における配線パターンを示す図（図 2 （a））および、図 2 （a）における破線部分の断面図（図 2 （b））である。

【図 4】

入力端子容量を調整するための回路を備えた従来の半導体装置の構成を示す図である。

【図 5】

図 4 に示した従来の半導体装置において、入力端子容量の調整を行った後の等価回路を示す図である。

【図 6】

ラムバス D R A M を用いたシステムの代表的な構成を示す図である。

【図 7】

くし型の配線を用いて容量成分を構成した半導体装置の構成を示す図である。

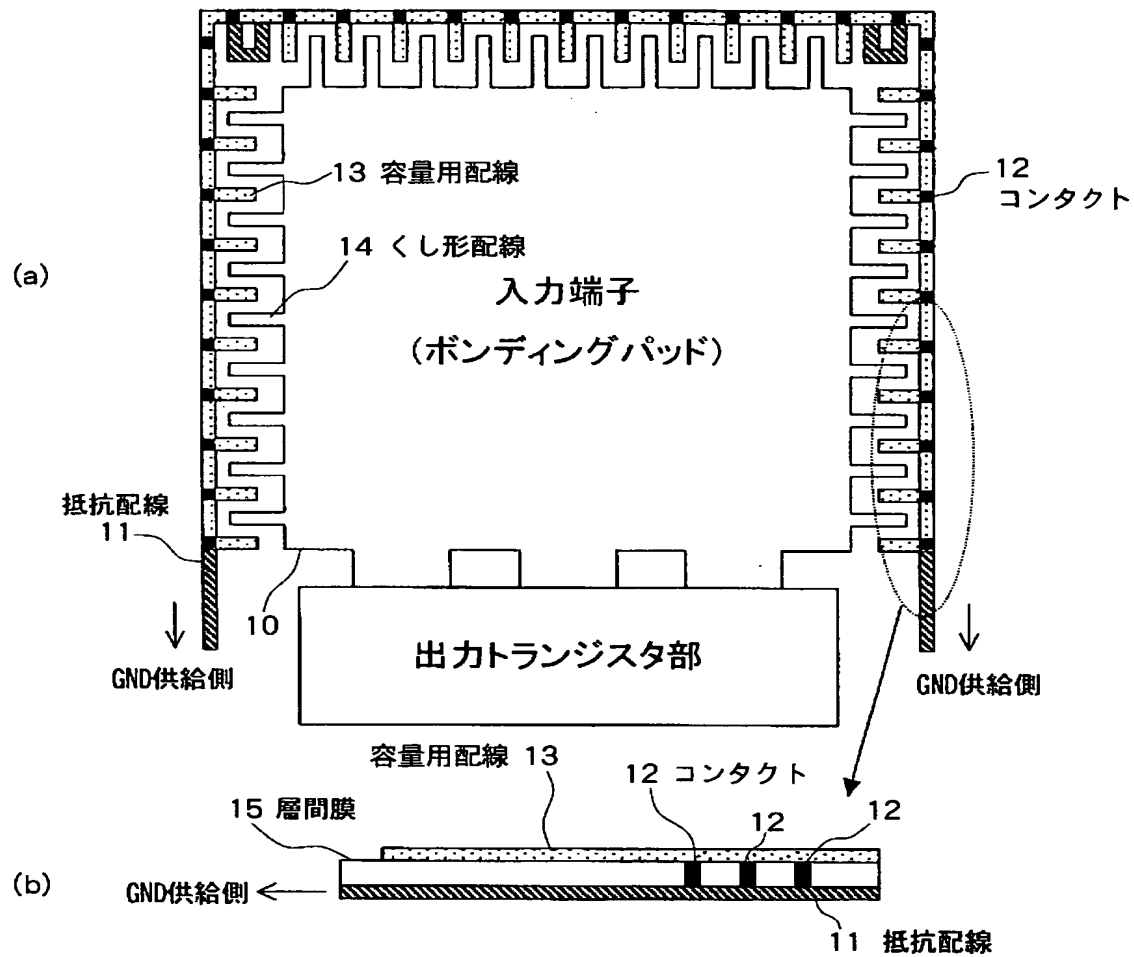
【符号の説明】

- 1 0 入力端子
- 1 1 抵抗配線
- 1 2 コンタクト
- 1 3 容量用配線
- 1 4 くし形配線
- 1 5 層間膜
- 1 6 コンデンサ
- 1 7 接続配線
- 2 0 入力端子容量調整用素子部
- 2 1 M O S 型容量素子
- 3 0 内部回路
- 4 0 入力保護抵抗
- 5 0 コントローラ

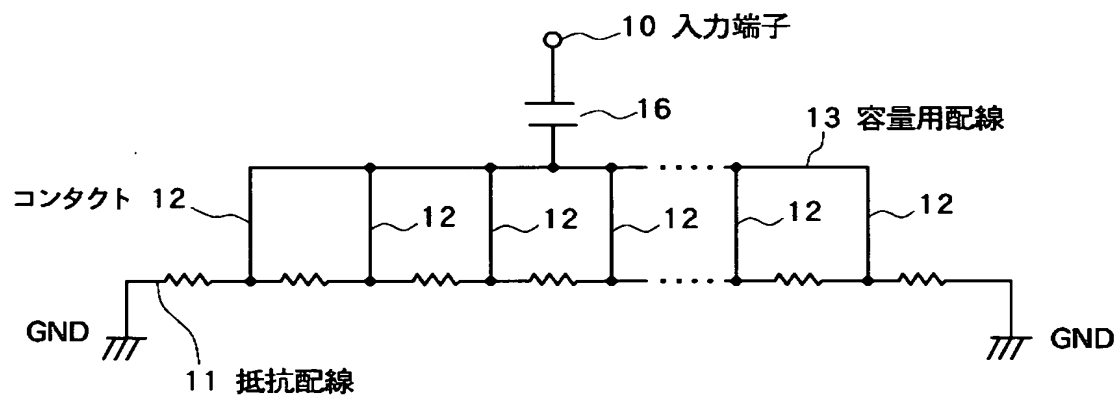
6 0₁ ~ 6 0_n R D R A M

【書類名】 図面

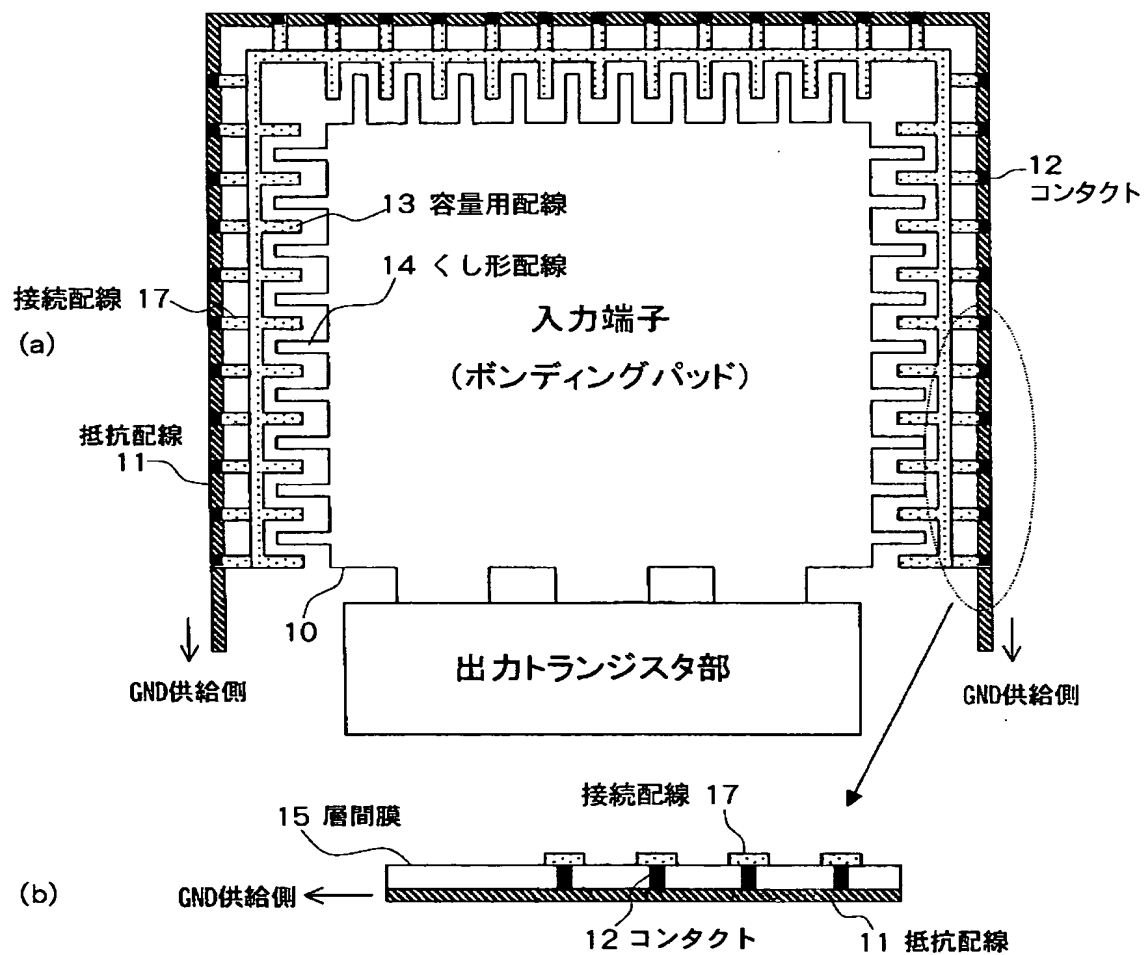
【図 1】



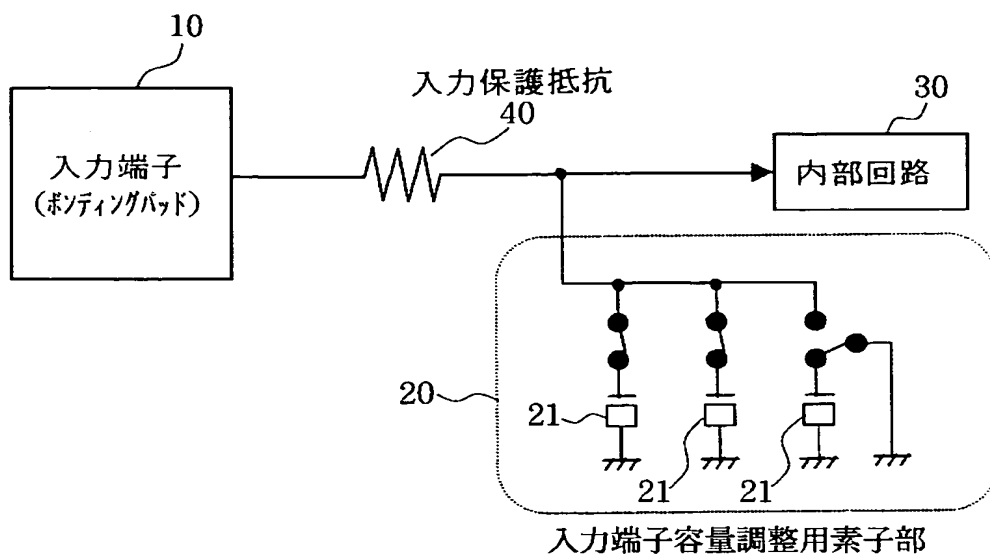
【図 2】



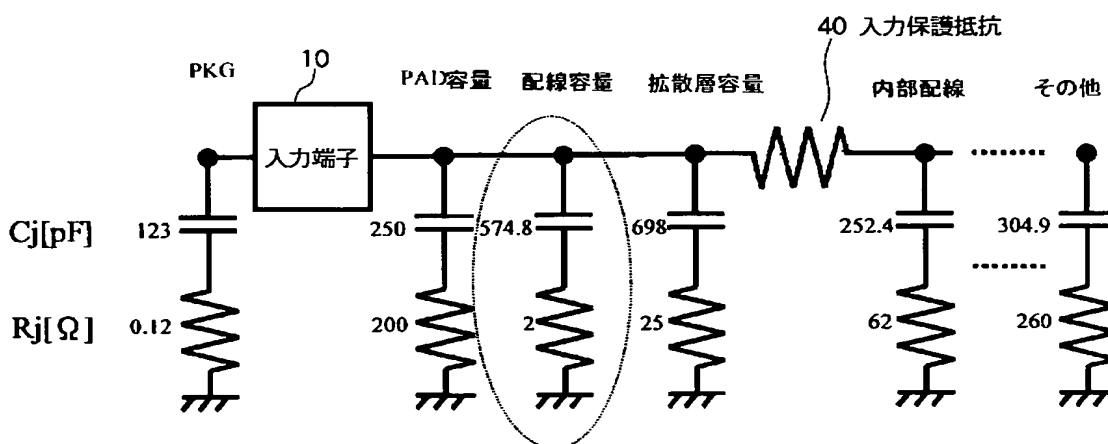
【図 3】



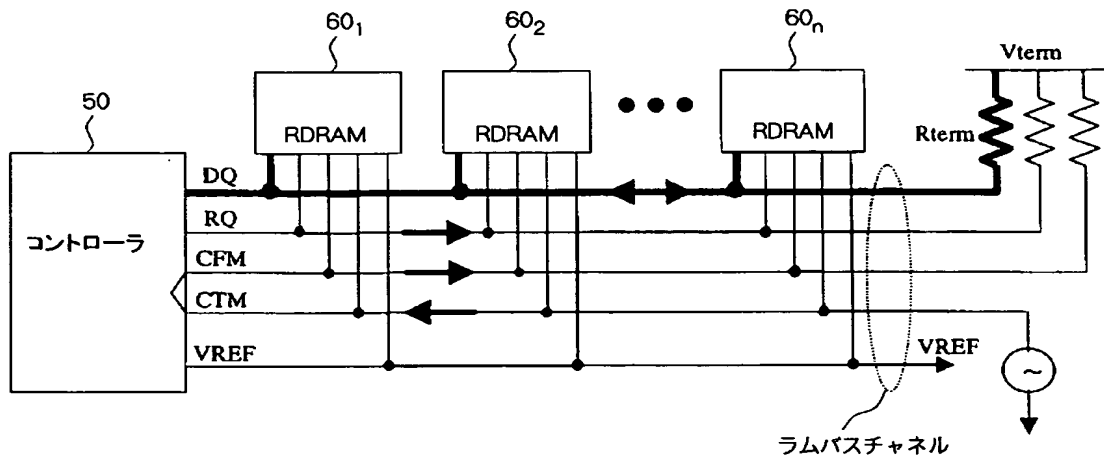
【図 4】



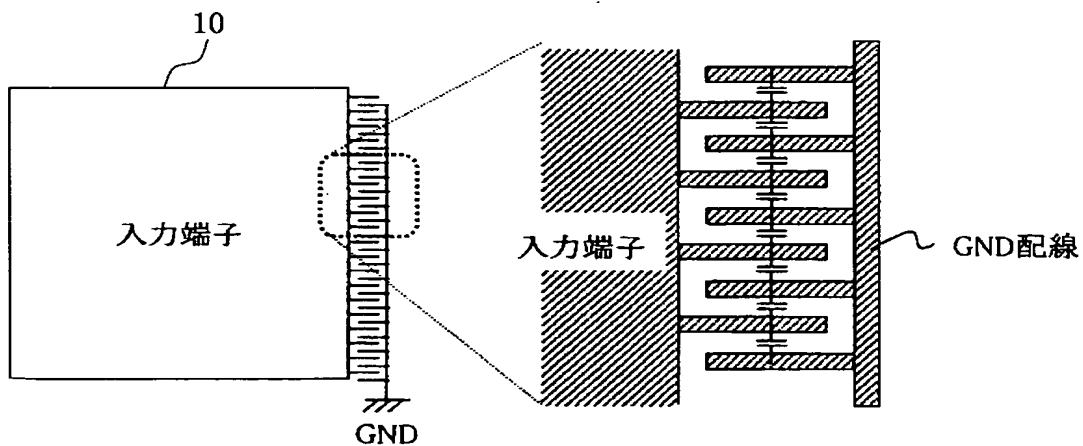
【図 5】



【図 6】



【図 7】





【書類名】 要約書

【要約】

【課題】 入力端子容量と入力抵抗を独立して調整できるようにし、入力端子容量を変化させることなく入力抵抗の調整を行う。

【解決手段】 容量用配線 13 の長さを変更することにより、容量用配線 13 とくし形配線 14 により形成される容量を調整できる。容量用配線 13 と抵抗配線 11 を接続するコンタクト 12 の位置を変更することによって、容量用配線 13 とグランド電位との間の抵抗値を調整できる。コンタクト 12 の接続を変更するだけで抵抗値を調整することができるので、入力端子容量を変化させずに入力抵抗のみの調整が可能となる。

【選択図】 図 1

特願 2 0 0 3 - 0 3 8 0 8 8

出 願 人 履 歴 情 報

識別番号 [5 0 0 1 7 4 2 4 7]

1. 変更年月日	2 0 0 0 年 7 月 1 2 日
[変更理由]	名称変更
住 所	東京都中央区八重洲 2 - 2 - 1
氏 名	エルピーダメモリ株式会社